

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

521 EI 112

## (54) SEMICONDUCTOR DEVICE

(11) 57-31166 (A) (43) 19.2.1982 (19) JP

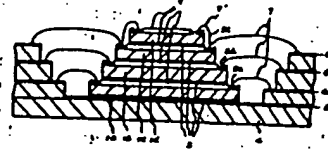
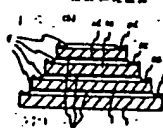
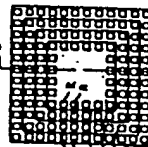
(21) Appl. No. 55-105911 (22) 31.7.1980

(71) FUJITSU K.K. (72) JIYUNJI SAKURAI

(51) Int. Cl.<sup>2</sup> H01L23/48, H01L21/58

**PURPOSE:** To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

**CONSTITUTION:** IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chip is protected by an insulating film 9. The required connecting pad 2d of the chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7'. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-31166

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和57年(1982)2月19日

H 01 L 23/48

6819-5F

発明の数 1

特許請求の範囲 21/58

6679-5F

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特 願 昭55-105911

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭55(1980)7月31日

川崎市中原区上小田中1015番地

⑱ 発 明 者 板井潤治

⑲ 代 理 人 弁理士 松岡宏四郎

特許請求の範囲

1. 発明の名称

半導体装置

2. 特許請求の範囲

- (1) 半導体素子が集積されてなる素子集積層が多層に形成され、各層に外部との導電パッドが設けられた多層半導体集積回路チップをパッケージング内に封入した半導体装置において、該パッケージング内の内部パッドが隆起状に多層に設けられ、対応する層の前記導電パッドと内部パッドとが互を導通させるために形成されてなることを特徴とする半導体装置。
- (2) 前記外部素子がゲートングワイヤーであることを特徴とする特許請求の範囲第1項記載の半導体装置。
- (3) 前記導電パッドの形状と前記内部パッドの形状とが相対するよう形成され、前記多層半導体集積回路チップをフェーシング状態でかつ前記外部素体として封入パッドを介して接続してなることを特徴とする特許請求の範囲第1項記載の半導体装置。

本装置は第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを設けた半導体装置の構造に関する。電子計算機あるいは各種通信装置等の電子機器に於ては、半導体装置の集積密度を向上せしめることが極めて小形化大容量化を要する上で極めて重要なことである。

そして上記目的のために大規模集積回路 (LSI) 等の半導体集積回路 (IC) に於て、パッケージングの素子集積密度を向上せしめる技術として、(1) 複数の LSI チップを 1 (個) の半導体パッケージ内に封入する構造、(2) LSI チップの表面に半導体素子を形成する構造、(3) LSI チップを搭載した半導体パッケージを積み重ねる構造、(4) LSI 上に形成した絶縁層上に半導体素子を形成し、レーザ・アニールで該半導体素子を半導体化し、該半導体素体層に LSI を形成する構造 (日特エレクトロニクス 2-18 (1980) P. 62 参照) 等があるが、(1)~(3)の構造に於てはチップ及びパッケージに対する集積密度の大幅な向上は期待できず、

又(4)の製造に於ては集積度及び実装密度は大幅に向上するが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス機能や回路機能を個々に検査することが出来たという問題があった。

本発明は上記問題点に鑑み、集積回路(IC)チップを積層し、パッケージ寸法の拡大することと集積度向上とパッケージ当りのICの集積度を大幅に向上せしめ、更にICチップ毎のプロセス機能及び回路機能を個々に測定することが可能な構造を有する多層半導体集積回路チップをパッケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通パッドが設けられた多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内部パッドが階段状に多層に設けられ、対応する層の前記導通パッドと内部パッドとが外部導体を介して接続されてなることを特徴とする。

パッド2a、2b、2c或るいは2dが形成されており、各層チップの大きさは、上層のチップを嵌めた際に下層チップのボンディング・パッドが上層チップの周辺部(外側)に突出するように、上層チップになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を被す)

そしてこれら半導体ICチップを積層する際の積層層3はシリコン樹脂、エポキシ樹脂或るいはポリ・イミド等の絶縁性樹脂、銀ペースト等の導電性接着剤或るいは金-錫(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて積層を行う際には下層の半導体ICチップの表面保護絶縁膜9上から予めAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或るいはろう材を用いて積層する構造に於ては、下層チップの表面保護絶縁膜9に於ける周縁部以外の所望の場所にコンタクト窓を形成し、前記導電性接着剤或るいはろう材を介して上層チップの所望の領域と縦方向に電気的接続を行う際に有利である。

11開明57-31166(2)

以下本発明を第1図及び第2図に示すチップ積層構造に於ける二つの実施例の上面図(a)及びA-A'矢視断面図(b)、第3図及び第4図に示すパッケージへのチップ実装構造に於ける二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各素子集積層としての半導体ICチップは、通常行われる例えばMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、配線のための導通パッドであるボンディング・パッド部のみを残して上面が保護膜ガラス(PSG)等の表面保護絶縁膜で覆われてなっている。なお上記ボンディング・パッド部にはペンバ状電極が形成される場合もある。

そして例えば第1図(a)及び(b)に示すような多層半導体ICチップの積層構造に於ては、第1層の半導体ICチップ1a、第2層のチップ1b、第3層のチップ1c及び第4層のチップ1dの4(辺)に沿った周縁部に導通所望数のボンディング・パ

又第2図(a)及び(b)は同じチップ・サイズの半導体ICチップを積層する際の構造を被す別の一実施例で、この場合は各層半導体ICチップ例えば1a、1b、1c及び1dのボンディング・パッド2a、2b、2c及び2dは該チップに於ける隅り合った2(辺)に沿った部分に形成される。そしてチップを積層する際に用いる積層層3としては前記同様の絶縁性樹脂、導電性接着剤或るいはろう材が使用される。(図中9は表面保護絶縁膜を被す)

本実施例の半導体装置は上記のような多層半導体集積回路チップを半導体パッケージ内に配設した構造を有しており、その一実施例に於ては第3図の断面模式図に示すように、半導体パッケージ40のチップ・ステ이지5上に前記のように半導体ICチップ1a、1b、1c及び1dが順次積層された多層半導体集積回路チップが、前記同様の絶縁性樹脂、導電性接着剤或るいはろう材等からなる積層層3により固着されており、上記チップの所望のボンディング・パッド(通常は絶縁パ

多層の半導体装置に於ける一実施例の断面模式図

て、本実施例に於てはボンディング・パッド2a, 2b, 2c部に鉛-鉛(Pb-Sn)半田等からなるパンプ電極8a, 8b, 8cを有する半導体ICチップ1a, 1b, 1cを前述のように積層形成せしめた多層半導体集積回路チップを、該チップの上面を下に向け、半導体パッケージ4に多層に形成された内部パッド6a, 6b, 6c上に、前記パンプ電極8a, 8b, 8cによりろう着固定し、該パンプ電極8a, 8b, 8cを外部導体として介して各層半導体ICチップ1a, 1b, 1cのボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中9は表面保護絶縁膜を被す)

な多層構造に於ては各層の半導体ICチップの厚さと半導体パッケージの内部配線の層間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体ICチップが積層固定されてなっているため、

ずしも一枚のチップで回路機能を完成せしめる必要はなく、複数枚のチップにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体ICの製造歩留まりが向上すると同時に、電子計算機或いは電子通信装置等の電子機器の小型化、大容量化が図れる。

#### 4. 図面の簡単な説明

第1図及び第2図は本発明の多層半導体集積回路に於けるチップ積層構造の二つの実施例を示し(a)はその上面図、(b)はそのA-A'矢視断面図である。又第3図及び第4図は本発明に於けるパッケージへのチップ実装構造の二つの実施例の断面模式図である。

図に於て1aと1bと1cと1dは半導体集積層である半導体集積回路チップ、2aと2bと2cと2dはボンディング・パッド、3は被覆層、4は半導体パッケージ、5はチップ・ステージ、6aと6bと6cはパッケージの内部パッド、7及び7'は外部導体、8aと8bと8cはパンプ電極

チップ1a, 1b及び1cとチップ1dの内部パッド6a, 6b及び6cとがワイヤ・ボンディングにより電気的に接続されている。図中9は表面保護絶縁膜を被す。

として本実施例に於ては最上層のチップ1dの所定のボンディング・パッド2dとその下層のチップ1cの所定のボンディング・パッド2cとはワイヤ・ボンディングにより外部導体7'で接続された構造を有しており、各チップに形成された回路を共通の電線に接続する際等にはこのような外部導体接続が行われる。な多層構造に於て半導体パッケージ4の内部パッド6a, 6b及び6cはそれぞれ対応する多層半導体集積回路チップ1a, 1b及び1cのボンディング・パッド2a, 2b, 2cとほぼ等しい高さに形成されることが望ましい。

又第4図は多層半導体集積回路チップをフューズ・ブリン構造で半導体パッケージに搭載する本

発明の多層半導体集積回路チップの断面模式図である。図に於て1aと1bと1cと1dは半導体集積層である半導体集積回路チップ、2aと2bと2cと2dはボンディング・パッド、3は被覆層、4は半導体パッケージ、5はチップ・ステージ、6aと6bと6cはパッケージの内部パッド、7及び7'は外部導体、8aと8bと8cはパンプ電極



(C) 00115-52000

国知用特許公報第 11166(4)

9 は表面保護膜を有する。

10 は表面保護膜を有する。

11 は表面保護膜を有する。

12 は表面保護膜を有する。

13 は表面保護膜を有する。

14 は表面保護膜を有する。

15 は表面保護膜を有する。

16 は表面保護膜を有する。

17 は表面保護膜を有する。

18 は表面保護膜を有する。

19 は表面保護膜を有する。

20 は表面保護膜を有する。

21 は表面保護膜を有する。

22 は表面保護膜を有する。

23 は表面保護膜を有する。

24 は表面保護膜を有する。

25 は表面保護膜を有する。

26 は表面保護膜を有する。

27 は表面保護膜を有する。

28 は表面保護膜を有する。

29 は表面保護膜を有する。

30 は表面保護膜を有する。

31 は表面保護膜を有する。

32 は表面保護膜を有する。

33 は表面保護膜を有する。

34 は表面保護膜を有する。

35 は表面保護膜を有する。

36 は表面保護膜を有する。

37 は表面保護膜を有する。

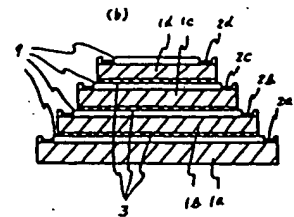
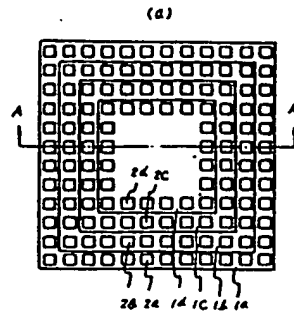
38 は表面保護膜を有する。

39 は表面保護膜を有する。

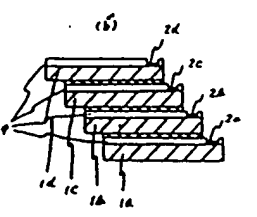
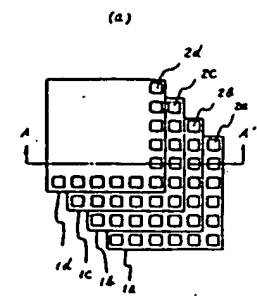
40 は表面保護膜を有する。

11166(4)

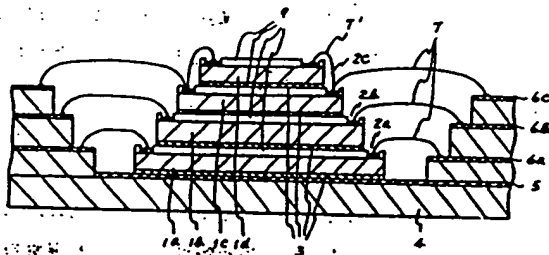
第 1 図



第 2 図



第 3 図



第 4 図

